

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-358302

(43)Date of publication of application : 26.12.2001

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 2000-178664

(71)Applicant : NEC MICROSYSTEMS LTD

(22)Date of filing : 14.06.2000

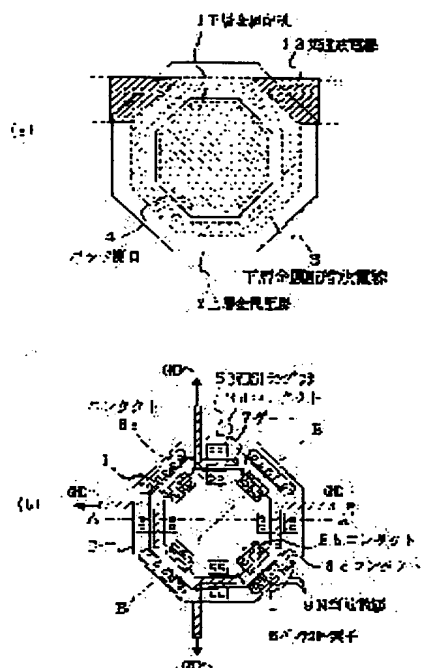
(72)Inventor : KOGA SHUJI  
ARAOKA YASUSHI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a pad structure having excellent bonding resistance and a wiring structure in which an area of a protective element is reduced.

**SOLUTION:** The protective elements of a punch through element 6 and a BVDS transistor 5 are alternatively disposed under peripheral edge regions of a lower layer wiring 1 of a pad of a regular octagonal shape made of an upper layer metal wiring 2 and a lower layer metal wiring 1 formed on a P-type well region of a P-type conductor substrate, an annular lower layer metal wiring discharge line is provided around the wiring 1, and two N-type diffusion layers 9 of the protective element are respectively connected to the wiring 1 and a lower layer metal wiring discharge line 3 via contacts (8a, 8b and 8d, 8c). An increase in an area of the element due to a protective element disposition is suppressed, a similar withstand voltage is incorporated to all directions of the pad to an abnormal voltage applied to the pad, an influence of the abnormal voltage can be eliminated the pad by this wiring structure, and an influence to an internal circuit can be suppressed as much as possible.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-358302  
(P2001-358302A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 27/04  
21/822

識別記号

F I

H 0 1 L 27/04

テーマコード(参考)

H 5 F 0 3 8  
E

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号 特願2000-178664 (P2000-178664)

(22) 出願日 平成12年6月14日 (2000. 6. 14)

(71) 出願人 000232036

エヌイーシーマイクロシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72) 発明者 古賀 修二

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

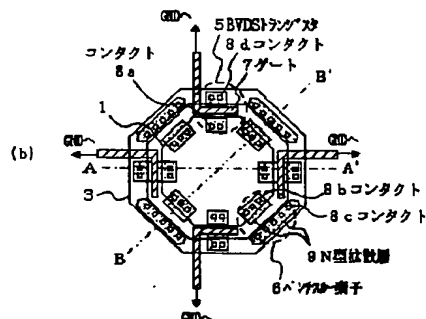
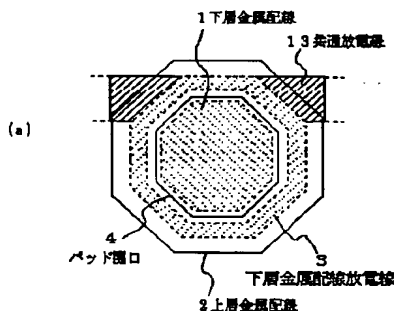
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】耐ボンディング性にすぐれたパッド構造と保護素子の素子面積の削減された配置構造を提供する。

【解決手段】 P型導体基板のP型ウェル領域上に形成された上層金属配線2と下層金属配線1からなる正八角形のパッドの下層金属配線1の各辺周縁部領域下にパンチスルー素子6とBVDSトランジス5の保護素子を交互に配置するとともに、下層金属配線1の周りにリング状の下層金属配線放電線を設け、保護素子の二つのN型拡散層9をそれぞれコンタクト(8a, 8bおよび8d, 8c)を介してそれぞれ下層金属配線1および下層金属配線放電線3に接続した。この配置構造により、保護素子配置による素子面積増加抑制と、パッドに印加された異常電圧をパッドのすべての方向に対して同様の耐圧を持たせ、異常電圧の影響をパッド内で吸収でき、内部回路への影響を極力抑えることができる。



1

## 【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板の第 1 導電型または第 2 導電型のウェル領域上に形成された金属配線パッド下に複数の保護素子を備え、前記金属配線パッドが 2 層以上から構成され、前記金属配線パッドの最下層金属配線パッドと同一層に前記最下層金属配線パッドを所定の間隙で囲むリング状の放電線が形成され、前記金属配線パッドの縁部領域下に前記保護素子が配置されていることを特徴とする半導体装置。

【請求項 2】 前記保護素子が前記ウェル領域内に形成された第 1 および第 2 の拡散層を有し、前記第 1 の拡散層が前記放電線に接続され、前記第 2 の拡散層が前記最下層金属配線パッドに接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記下層金属配線パッド下に配置される前記保護素子が、BVDS トランジスタ、パンチスルー素子、ダイオード素子の少なくとも 2 種類の保護素子から構成されることを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記複数の前記保護素子が点対称的かつ線対称的に前記下層金属配線パッド下に配置されていることを特徴とする請求項 1～3 のいずれかに記載の半導体装置。

【請求項 5】 前記複数の前記保護素子が点対称的に前記下層金属配線パッド下に配置されていることを特徴とする請求項 1～3 のいずれかに記載の半導体装置。

【請求項 6】 前記放電線が該放電線と同一層に形成された共通放電線に接続されていることを特徴とする請求項 1～5 のいずれかに記載の半導体装置。

【請求項 7】 前記リング状の前記放電線が電源端子、グランドまたは前記半導体基板に接続されることを特徴とする請求項 1～6 のいずれかに記載の半導体装置。

【請求項 8】 前記金属配線パッドおよび前記リング状の前記放電線が A1、A1 合金、Cu または Cu 合金から構成されることを特徴とする請求項 1～7 のいずれかに記載の半導体装置。

【請求項 9】 前記下層金属配線パッドおよび前記および前記リング状の前記放電線が正 n 角形 (n は 4 以上の偶数) または円形であることを特徴とする請求項 1～8 のいずれかに記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特にパッドの金属配線下に静電破壊防止素子やパンチスルー素子を配置した半導体装置の入出回路の保護素子の配置構造に関するものである。

## 【0002】

【従来の技術】近年、トランジスタの微細化が進み、チャネル長の減少などの要因により、トランジスタ自体のサージ入力に対する破壊強度が著しく弱くなってくるた

2

め、半導体装置と外部を接続するボンディングパッドに保護素子を接続配置し、過大な入力によって内部回路が破壊されることを防ぐ必要がある。

【0003】図 14 (a) は従来の半導体装置の保護素子の接続例を示す概略回路図である。符号 200 は半導体装置の内部回路であり、この内部回路に平面的に入力端子となるパッド 100 が配線 500 によって接続されている。さらにパッド 100 に平面的にダイオード等から構成される保護素子 300 を接続している。保護素子 300 は共通放電線 400 に接続されている。

## 【0004】

【発明が解決しようとする課題】図 14 (a) のような保護素子の配置構造では、パッド自体の面積に加え保護素子の面積が必要となる。半導体装置のパッド数が増えれば、保護素子領域も増加するため、保護素子面積の増加が半導体装置全体の面積の増加に直接影響を与える問題があった。

【0005】各パッドに配置している保護素子には過大な入力に対する耐圧を上げるために大きな素子面積を必要とするので、保護素子自体の面積削減は難しい。

【0006】上記の従来技術の問題点を解決する技術が、特開平 6-252355 号公報や特開平 11-307724 号公報に開示されている。

【0007】特開平 6-252355 号公報の技術では、図 14 (b) のように、パッド 100 (ボンディングパッド) 下にダイオード素子のみから構成される保護素子 300 を配置し、保護素子配置による素子面積増加を抑制しているが、ボンディングパッドへのワイヤボンディングの際のボンディングダメージによってパッド下に配置した素子が破壊される場合があった。また、特開平 6-252355 号公報ではパッドの耐圧が方向によって変化する問題があり、またパッドに印加される負の異常電圧に対しては対応が難しかった。

【0008】特開平 11-307724 号公報の技術では、ボンディングパッド下に保護素子を配置すると同時に、パッドの構造を多層化して、保護素子配置による素子面積増加の抑制とボンディングパッドへのワイヤボンディングの際のボンディングダメージを防止しているが、上記の特開平 6-252355 号公報の技術と同様にパッドの耐圧が方向によって変化する問題があった。

【0009】従って、本発明の目的は上記の従来技術の問題点を解決した素子密度の向上とパッドの方向による耐圧の差を抑制した半導体装置の保護素子の配置構造を提供することにある。

## 【0010】

【課題を解決するための手段】本発明の半導体装置の構成は、第 1 導電型の半導体基板の第 1 導電型または第 2 導電型のウェル領域上に形成された金属配線パッド下に複数の保護素子を備え、前記金属配線パッドが 2 層以上から構成され、前記金属配線パッドの最下層金属配線パ

3

ッドと同一層に前記最下層金属配線パッドを所定の間隙で囲むリング状の放電線が形成され、前記金属配線パッドの縁部領域下に前記保護素子が配置されていることを特徴とする。

【0011】本発明の半導体装置の第2の構成は、第1導電型の半導体基板の第2導電型のウェル領域上に形成された金属配線パッド下に保護素子を備え、前記金属配線パッドが複層から構成され、前記金属配線パッドの最下層金属配線パッドと同一層に前記最下層金属配線パッドを所定の間隙で囲むリング状の放電線が形成され、前記金属配線パッドの縁部領域下に前記保護素子が配置されていることを特徴とする。

【0012】上記の第1および第2の構成の半導体装置において、前記保護素子は前記ウェル領域内に形成された第1および第2の拡散層を有し、前記第1の拡散層は前記放電線に接続され、前記第2の拡散層は前記最下層金属配線パッドに接続される。

【0013】上記の第1および第2の構成の半導体装置の前記保護素子は、BVDSトランジスタ（トランジスタがOFF状態であってもドレイン電圧がある値以上になるとドレイン—基板間に急激で過大な電流が流れる。この現象を利用した保護素子のトランジスタをBVDSトランジスタという）、パンチスルー素子、ダイオード素子の少なくとも2種類の保護素子から構成され、これらの保護素子は、点対称的かまたは点対称的かつ線対称的に前記下層金属配線パッド下に配置される。

【0014】上記の本発明の第1および第2の構成の半導体装置において前記下層金属配線パッドおよび前記および前記リング状の前記放電線の形状としてはパッドの方向による異常電圧に対する耐圧差を抑制するために、正 $n$ 角形（ $n$ は4以上の偶数）または円形とすることが好ましい。

【0015】本発明の特徴は、活性領域内のパッド下にBVDSトランジスタ、ダイオード素子、パンチスルー素子等を配置することにより、入力、入出力保護素子のチップ上の面積を実質的に減少させることができる。

【0016】本発明では、下層金属配線の最外周にチャージ引抜きのための放電線を配置することにより、パッドに印加された異常電圧をパッドのすべての方向に対して同様の耐圧を持たせ、パッドに印加される正または負の異常電圧の影響をパッド部内ですべて吸収することができる。また、放電線までの配線長はすべてのパッドで等しくなり、各々のパッド間の耐圧差を抑えることができる。

【0017】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0018】図1は本発明の第1の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図であり、図1(a)はパッド構造を示す透視平面図、図1(b)は

4

下層金属配線のパッド下の保護素子透視平面図である。なお、図1(b)にはパッドと素子との位置関係がわかるように、下層金属配線1と下層金属配線放電線3の配置位置を示した。

【0019】図1(a)を参照すると、パッド形状は正8角形であり、パッド部の下層金属配線1および上層金属配線2の形状は正8角形である。上層金属配線2のパッドの大きさは下層金属配線1のパッドの大きさよりも大きく同軸状に配置されている。

【0020】下層金属配線1のパッドの周りには同一面にチャージ引抜きのための放電線（下層金属配線放電線3で示す）が配置されている。この下層金属配線放電線3は共通放電線13に接続されている。なお、上層金属配線2と下層金属配線1はスルーホール（表示していない）で電気的に接続され、下層金属配線放電線3は、VDD（電源端子）、GND（グランド端子）、または半導体基板に接続することができる。なお、図1(a)中、符号4はパッド開口を示す。

【0021】素子の配置としては、図1(b)のように、正8角形のパッド下（パッドの縁部領域下）にパッドの各辺に沿ってBVDSトランジスタ5とパンチスルー素子6を交互に点対称的かつ線対称的に配置する。この素子配置構造により、パッドのすべての方向に対して均等な耐圧を保証できる。

【0022】BVDSトランジスタ5では、N型拡散層9とゲート7でN型トランジスタを構成する。BVDSトランジスタ5のドレインをコンタクト8aを介して下層金属配線1（パッド）に接続し、BVDSトランジスタ5のソースをコンタクト8dにより下層金属配線放電線3に接続する。BVDSトランジスタ5のゲート7はGNDへ接続し、BVDSトランジスタ5をOFF状態にする。

【0023】パンチスルー素子6では、N型拡散層9とP型ウェル（図2のP型ウェル16参照）を組み合わせ、NPN型バイポーラトランジスタを構成する。NPN型バイポーラトランジスタのコレクタをコンタクト8bを介して下層金属配線1（パッド）に接続し、エミッタをコンタクト8cを介して下層金属配線放電線3に接続する。

【0024】図2(a)は、図1(b)のA—A'線に沿った半導体装置の断面図である。P型Si基板上11のP型ウェル16領域に形成したN型拡散層9とゲート7によりBVDSトランジスタ5を構成している。

【0025】図2(b)は、図1(b)のB—B'線に沿った半導体装置の断面図である。P型Si基板上11のP型ウェル16とN型拡散層9によりNPN型バイポーラトランジスタであるパンチスルー素子6を構成している。

【0026】図2の断面図より、下層金属配線1、上層金属配線2のパッド下の領域にBVDSトランジスタ

5

5、パンチスルー素子6が配置可能であり、パッド下の領域が有効に利用できることが分かる。なお、図2における符号14および17はSi酸化膜(SiO<sub>2</sub>膜)、15は素子分離膜、18は保護膜を示す。

【0027】次に、上記の第1の実施の形態の半導体装置の動作について図1および図2を参照して説明する。

【0028】図1、図2のパッドに過大な入力(例えば静電気などのサージ入力)が印加された場合、パッドの下層金属配線1に接続されているパンチスルー素子6であるNPN型バイポーラトランジスタのコレクタ側(コンタクト8b側のN型拡散層9)に電圧が加わることになる。ここで、バイポーラトランジスタのコレクタ側に電圧を加えていくとコレクタ近傍の空乏層が少しずつ広がっていき、ついには、空乏層がエミッタ域に達してゲート電圧を加えなくてもコレクターエミッタ間に電流が流れる「パンチスルー」現象が発生する。この現象を利用することによって、パッドに印加された過大な入力をパンチスルー素子6のエミッタ側(コンタクト8c側のN型拡散層9)に接続している下層金属配線放電線3に逃がすことができ、内部回路を保護できる。

【0029】一方、BVDSトランジスタ5は、トランジスタがOFF状態であってもドレイン電圧がある値以上になるとドレイン—基板間に急激で過大な電流が流れる現象を利用した保護素子である。パッドの下層金属配線1に接続されているドレイン(コンタクト8a側のN型拡散層9)に過大な入力印加された場合、ゲート7がグランド(GND)に接続されているのでトランジスタはOFFであるが、ブレイクダウンし、ドレイン—ソース間に電流が流れ、放電経路が確保される。ソース側に流れた電流はコンタクト8dを介して下層金属配線放電線3に流れる。

【0030】次に上記の本発明の第1の実施の形態の半導体装置の保護素子の形成方法について、図1および図2を参照して説明する。

【0031】まず、P型Si基板11にホウ素を $2 \times 10^{12} \text{ cm}^{-2}$ イオン注入してP型ウェル16を形成する。次にLOCOS法によって素子分離膜15を形成した後、熱酸化法によってSi酸化膜17を形成する。

【0032】次に、BVDSトランジスタ用のゲート7を形成した後、Pイオン等を注入してBVDSトランジスタのソース・ドレイン用のN型拡散層9とパンチスルー素子用のN型拡散層9を同時に形成する。

【0033】次にCVD法によりSi酸化膜14を形成した後、下層金属配線1および下層金属配線放電線3と拡散層を接続するための開口をSi酸化膜14およびSi酸化膜17に形成した後、AlまたはAl合金の金属膜をスパッタ法により堆積する。この金属膜の堆積と同時に、下層金属配線1および下層金属配線放電線3と拡散層を接続するための開口にも金属膜が充填されコンタクト8a、8b、8c、8dが形成される。

6

【0034】次に、この金属膜をフォトリソグラフィ技術によりパターニングして正八角形のパッドの下層金属配線1とその周囲に所定の間隙で所定の幅の下層金属配線放電線3を形成する。このパターニングにより同時に下層金属配線放電線3に接続された共通放電線13を形成する。

【0035】次にCVD法によりSi酸化膜を全面に堆積した後、スパッタ法によりAl、Al合金、Cu、またはCu合金などの金属膜をSi酸化膜14上に堆積した後パターニングして、図1(a)のような正八角形状の上層金属配線2のパッドを形成する。なお、上層金属配線2と下層金属配線1を接続するために下層金属配線1上に形成されたSi酸化膜に開口を形成し、上層金属配線用の金属膜のスパッタと同時に、この開口に金属膜を充填してコンタクト(表示していない)が形成される。続いて、Si酸化膜(SiO<sub>2</sub>膜)やSiN膜の保護膜18をスパッタ法で形成した後、保護膜18を選択的にエッチングして上層金属配線2のパッド表面を露出させる。この露出した上層金属配線2のパッドは入力端子に使用される。

【0036】以上の工程により図1、図2のような正八角形のパッド下に保護素子を形成することができる。

【0037】次に、本発明の第2の実施の形態の半導体装置について図3および図4を参照して説明する。

【0038】図3は本発明の第2の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図であり、図3(a)はパッド構造を示す透視平面図、図3(b)は下層金属配線のパッド下の保護素子透視平面図である。また、図4(a)および図4(b)は、それぞれ図3(b)のA—A'線およびB—B'線に沿った半導体装置の断面図である。

【0039】本実施の形態は、図3(b)のように、上記の第1の実施の形態の図1(b)におけるBVDSトランジスタ5をダイオード素子12に代替した場合である。

【0040】図3(a)のパッド形状は、図1(a)を同様に正八角形とし、パッドの下層金属配線1および上層金属配線2の形状は正八角形である。そして、上記の第1の実施の形態と同様に、チャージ引抜きための放電線(下層金属配線放電線3で示す)をパッドの下層金属配線1の周囲に配置している。

【0041】図3(b)のように、ダイオード素子12は、N型拡散層9とP型拡散層10で構成する。ダイオード素子12のカソード(コンタクト8e側のN型拡散層9)をパッドの下層金属配線1に接続し、アノード(コンタクト8f側のP型拡散層10)を下層金属配線放電線3に接続する。パンチスルー素子6は、図1(b)と同様な構成である。

【0042】素子の配置としては、正八角形のパッド下にパッドの各辺に沿ってダイオード素子12とパンチス

7

ルー素子6を交互に点対称的かつ線対称的に配置する。

【0043】図3および図4より、下層金属配線1および上層金属配線2のパッド下の領域にダイオード素子12およびパンチスルー素子6が配置可能であり、パッド下の領域が有効に利用でき、かつ各素子のパッドのすべての方向に対して均等な耐圧を保証できる。

【0044】本実施の形態のダイオード素子12およびパンチスルー素子6を用いた場合の動作について図3を参照して説明する。

【0045】パッドに過大な入力印加された場合、パッドの下層金属配線1に接続されているダイオード素子12のカソード側（コンタクト8e側の拡散層9）に電圧が加わることになる。ダイオードには、逆バイアス電圧以上がある一定の電圧（降伏電圧）を超えると、逆方向にも大きな電流を流す降伏現象があり、図3（b）のような素子配置にすると、パッドの下層金属配線1に加わった電圧は、ダイオード素子12の降伏現象により、ダイオード素子12のアノード側であるP型拡散層10に接続されている下層金属配線放電線3に放電することができ、放電経路を確保することができる。

【0046】各パッドの下層金属配線放電線3は、チップ周囲を囲っている共通放電線13と接続されており、共通放電線を介して、電荷を放電することができる。

【0047】図3のパンチスルー素子6の動作については上記の第1の実施の形態と同様である。

【0048】上記の第1および第2の実施の形態では、上層金属配線のパッド形状は正八角形としたが、パッドの上層金属配線は保護素子の配置に直接影響しないため、正方形でもよい。図5は第3の実施の形態として上記の第1の実施の形態における上層金属配線のパッド形状を正方形とした場合の半導体装置の保護素子の配置構造を示す透視平面図である。このような構造でも上記の実施の形態と同様な効果が得られる。なお、図5（a）はパッド構造を示す透視平面図、図5（b）は下層金属配線のパッド下の保護素子透視平面図である。

【0049】次に本発明の第4の実施の形態の半導体装置について図6を参照して説明する。

【0050】図6は本発明の第4の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図であり、図6（a）はパッド構造を示す透視平面図、図6（b）は下層金属配線のパッド下の保護素子透視平面図である。

【0051】本実施の形態では、パッドの下層金属配線1および上層金属配線2の形状を正六角形としパッドの6辺領域の下層に図6のように、BVDSトランジスタ5とパンチスルー素子6を配置した場合である。本実施の形態の半導体装置でも、上記の第1の実施の形態と同様な効果を得ることができる。

【0052】図7は本発明の第5の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図であり、図7（a）はパッド構造を示す透視平面図、図7（b）は

8

下層金属配線のパッド下の保護素子透視平面図である。本実施の形態は、図6の本発明の第5の実施の形態の半導体装置において、BVDSトランジスタ5をダイオード素子12に代替した場合である。本実施の形態の半導体装置でも、上記の第2の実施の形態と同様な効果を得ることができる。

【0053】図8は本発明の第6の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図であり、図8（a）はパッド構造を示す透視平面図、図8（b）は下層金属配線のパッド下の保護素子透視平面図である。本実施の形態では、パッドの下層金属配線1および上層金属配線2の形状を矩形とし4辺すべてにBVDSトランジスタ5とパンチスルー素子6を交互に配置する構成である。本実施の形態ではパンチスルー素子の拡散層の長さを長くして耐圧を向上させ、また、コンタクトを多く形成して下層金属配線1および上層金属配線2との接続抵抗を下げた。本実施の形態の半導体装置でも、上記の第1及び第3の実施の形態と同様な効果を得ることができる。

【0054】図9は本発明の第7の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図であり、図9（a）はパッド構造を示す透視平面図、図9（b）は下層金属配線のパッド下の保護素子透視平面図である。本実施の形態は、図8の本発明の第6の実施の形態の半導体装置において、BVDSトランジスタ5をダイオード素子12に代替した場合である。本実施の形態の半導体装置でも、上記の第2の実施の形態と同様な効果を得ることができる。

【0055】図10は本発明の第8の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図であり、図10（a）はパッド構造を示す透視平面図、図10（b）は下層金属配線のパッド下の保護素子透視平面図である。本実施の形態は、図1の本発明の第1の実施の形態の半導体装置において、正八角形のパッドを円形パッドに置換えた場合である。本実施の形態の半導体装置では、上記の第1の実施の形態と同様な効果が得られる。

【0056】図11は本発明の第9の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図であり、図11（a）はパッド構造を示す透視平面図、図11（b）は下層金属配線のパッド下の保護素子透視平面図である。本実施の形態は、図10の本発明の第8の実施の形態の半導体装置において、BVDSトランジスタ5をダイオード素子12に代替した場合である。本実施の形態の半導体装置でも、上記の第2の実施の形態と同様な効果を得ることができる。

【0057】図12は本発明の第10の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図であり、図12（a）はパッド構造を示す透視平面図、図12（b）は下層金属配線のパッド下の保護素子透視平面図である。

9

図である。本実施の形態は、図 1 の本発明の第 1 の実施の形態の半導体装置において、正八角形のパッドを八角形のパッドに置換えた場合である。本実施の形態の半導体装置では、上記の第 1 の実施の形態と同様な効果が得られ、また上記の第 1 の実施の形態の半導体装置よりも BVDS トランジスタの拡散層の長さを広げることができる。

【0058】図 13 は本発明の第 11 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図であり、図 13 (a) はパッド構造を示す透視平面図、図 13 (b) は下層金属配線のパッド下の保護素子透視平面図である。本実施の形態は、図 12 の本発明の第 10 の実施の形態の半導体装置において、BVDS トランジスタ 5 をダイオード素子 12 に代替した場合である。本実施の形態の半導体装置は、上記の第 2 の実施の形態と同様な効果を得ることができ、また、上記の第 2 の実施の形態の半導体装置よりも BVDS トランジスタの拡散層の長さを広げることができる。

【0059】上記の本発明の実施の形態の半導体装置では、P 型 Si 基板 11 上に P 型ウェルを形成し、この P 型ウェル領域内に NPN バイポーラトランジスタのパンチスルー素子 6、N 型拡散層のソース・ドレインを有する BVDS トランジスタ 5、N 型拡散層 9 と P 型拡散層 10 から構成されたダイオード素子の保護素子について説明したが、P 型 Si 基板に N 型ウェル領域を形成し、この領域内に PNP バイポーラトランジスタのパンチスルー素子、P 型拡散層のソース・ドレインを有する BVDS トランジスタや N 型拡散層と P 型拡散層から構成されたダイオード素子の保護素子を形成する場合にも、本発明は適用できる。

【0060】上記の本発明の第 1 ～第 11 の実施の形態の半導体装置における上層金属配線のパッド形状は上記の説明に限定されるものでなく、自由なパッド形状を選択でき、また上層金属配線のパッドの層数は、さらに任意に増加することができる。

【0061】また、上記の本発明の各実施の形態では、2 種類の保護素子を配置したが、3 種類の保護素子を配置することもできる。

【0062】

【発明の効果】以上説明したように、本発明では次の効果が得られる。

(1) 保護素子は、パッド縁部領域下に配置され、パッドが多層構造のために、パッド中心部に対してボンディングする場合の衝撃の影響を受けにくい。

(2) 多角形パッドの辺すべてまたは円形パッドの円周領域下に保護素子を配置し、最下層金属配線のパッドの周りに放電線を配置することによって、パッドに印加された異常電圧をパッドのすべての方向に対して同様の耐圧を持たせ、異常電圧の影響をパッド内で吸収でき、内部回路への影響を極力抑えることができる。

10

(3) 各パッド下の保護素子の放電線までの配線長が等しくするために、各パッド間で耐圧の差を抑制できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図である。

【図 2】図 1 の A-A' および B-B' 線に沿った断面図である。

【図 3】本発明の第 2 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図である。

【図 4】図 3 の A-A' および B-B' 線に沿った断面図である。

【図 5】本発明の第 3 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図である。

【図 6】本発明の第 4 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図である。

【図 7】本発明の第 5 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図である。

【図 8】本発明の第 6 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図である。

【図 9】本発明の第 7 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図である。

【図 10】本発明の第 8 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図である。

【図 11】本発明の第 9 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図である。

【図 12】本発明の第 10 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図である。

【図 13】本発明の第 11 の実施の形態の半導体装置の保護素子の配置構造を示す透視平面図である。

【図 14】従来の半導体装置の保護素子の接続例を示す概略回路図である。

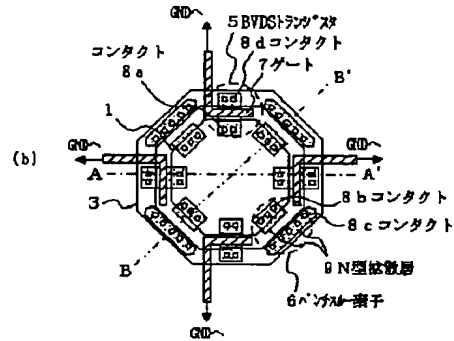
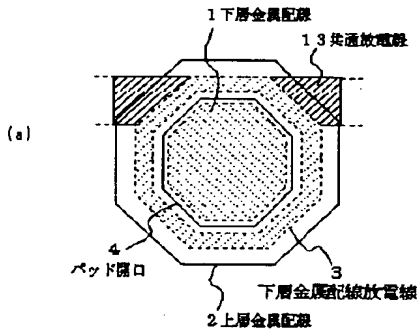
【符号の説明】

- 1 下層金属配線
- 2 上層金属配線
- 3 下層金属配線放電線
- 4 パッド開口
- 5 BVDS トランジスタ
- 6 パンチスルー素子
- 7 ゲート
- 8 a ～ 8 f コンタクト
- 9 N 型拡散層
- 10 P 型拡散層
- 11 P 型 Si 基板
- 12 ダイオード素子
- 13, 400 共通放電線
- 14, 17 Si 酸化膜
- 15 素子分離膜
- 16 P 型ウェル
- 18 保護膜

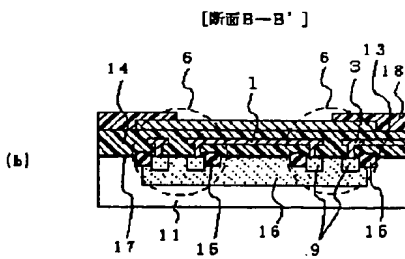
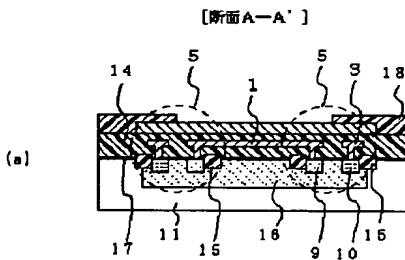


11  
100 パッド  
200 内部回路

【図1】

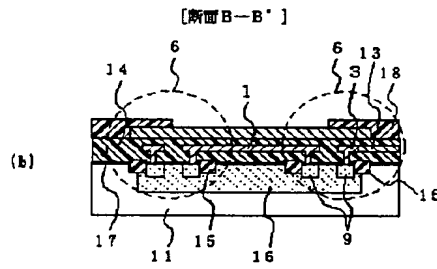
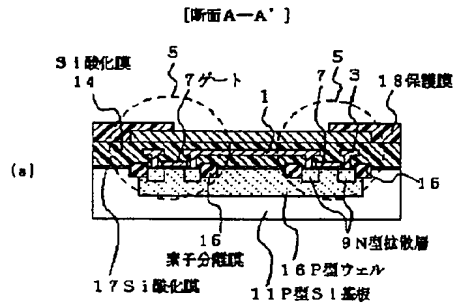


【図4】

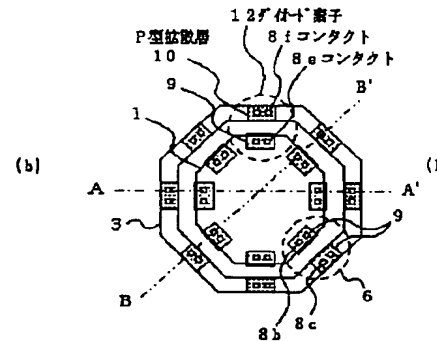
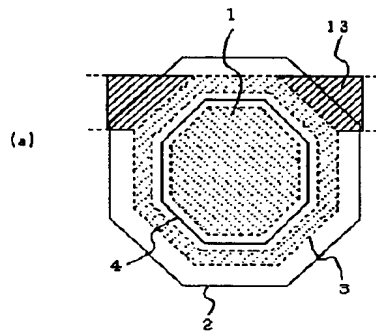


300 保護素子  
500 配線

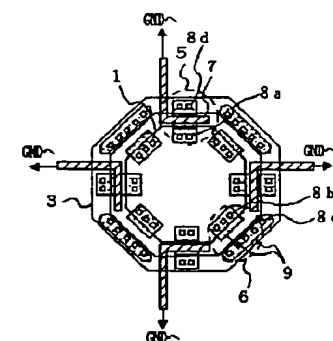
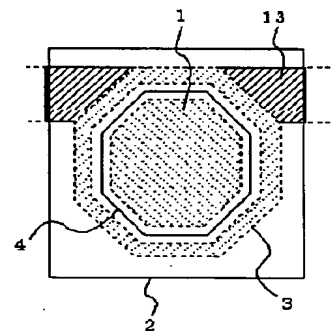
【図2】



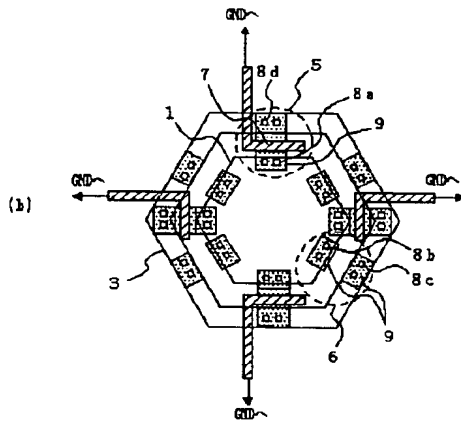
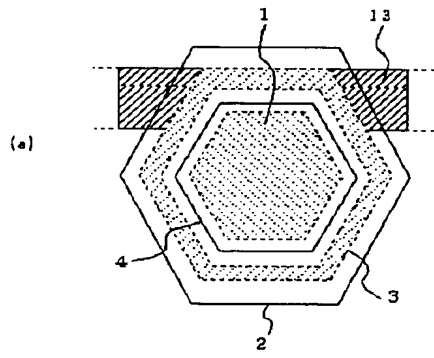
【図3】



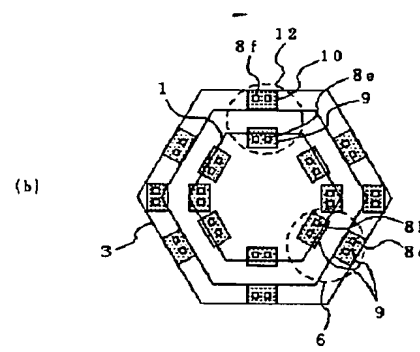
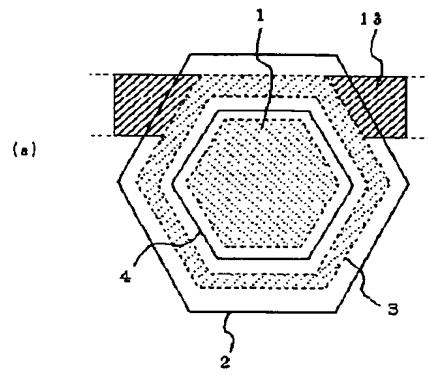
【図5】



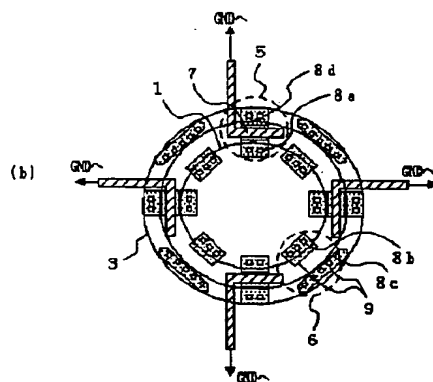
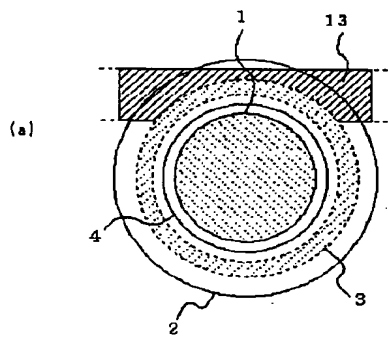
【図6】



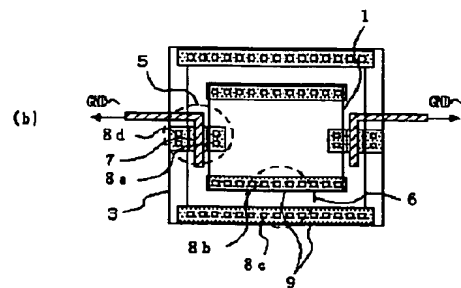
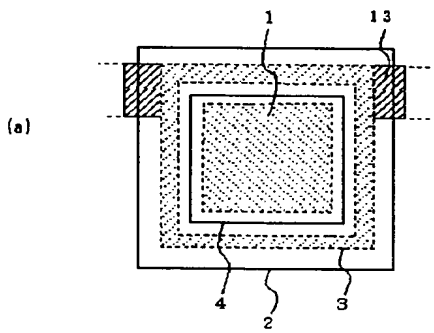
【図7】



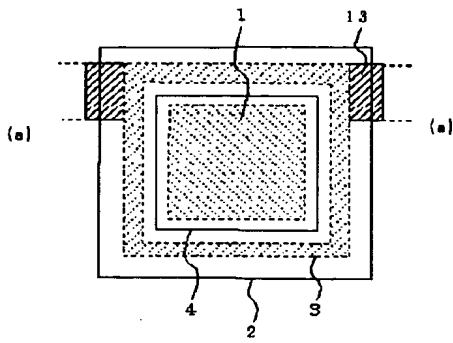
【図10】



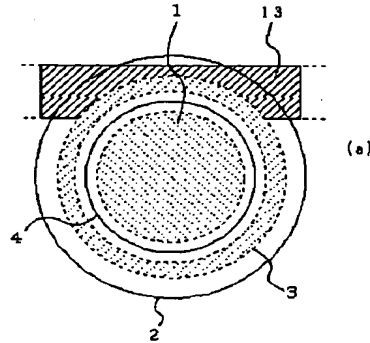
【図8】



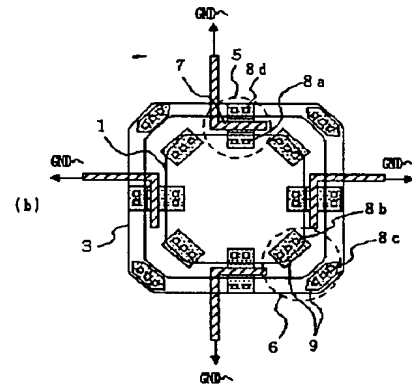
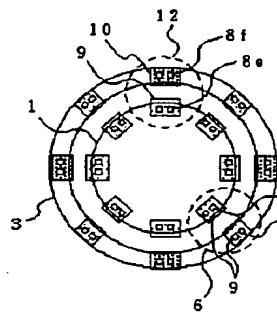
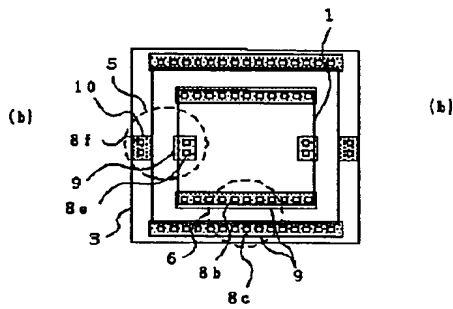
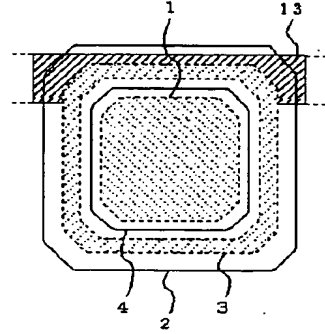
【図 9】



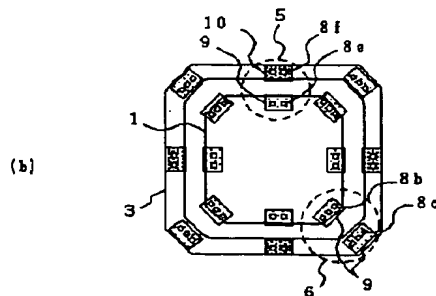
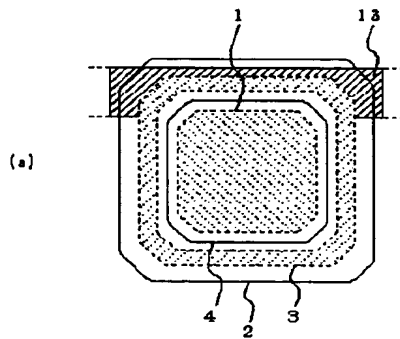
【図 11】



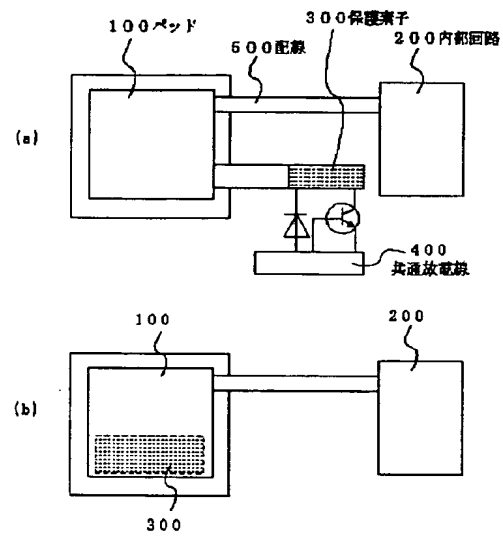
【図 12】



【図 13】



【図 14】



フロントページの続き

(72)発明者 荒岡 慶志  
 神奈川県川崎市中原区小杉町一丁目403番  
 53 日本電気アイシーマイコンシステム株  
 式会社内

Fターム(参考) 5F038 BE07 BH04 BH05 BH06 BH07  
 BH15 CA02 CA05 CA06 CA10  
 CA16 CD18 EZ20